



PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Shinichi FUKADA

Group Art Unit: 2811

Application No.: 10/849,016

Filed: May 20, 2004

Docket No.: 119798

For: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

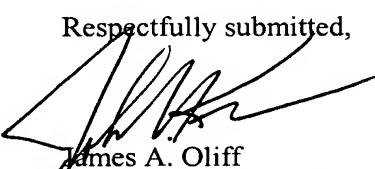
Japanese Patent No. 2003-155870, filed May 30, 2003.

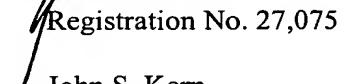
In support of this claim, a certified copy of said original foreign application:

is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,


James A. Oliff
Registration No. 27,075


John S. Kern
Registration No. 42,719

JAO:JSK/tea

Date: August 24, 2004

OLIFF & BERRIDGE, PLC
P.O. Box 19928
Alexandria, Virginia 22320
Telephone: (703) 836-6400

DEPOSIT ACCOUNT USE AUTHORIZATION Please grant any extension necessary for entry; Charge any fee due to our Deposit Account No. 15-0461
--



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 5月30日
Date of Application:

出願番号 特願2003-155870
Application Number:
[ST. 10/C]: [JP2003-155870]

出願人 セイコーエプソン株式会社
Applicant(s):

CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

2004年 2月26日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫

【書類名】 特許願
【整理番号】 J0098603
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/10
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内
【氏名】 深田 晋一
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーホームズ株式会社
【代理人】
【識別番号】 100095728
【弁理士】
【氏名又は名称】 上柳 雅裕
【連絡先】 0266-52-3528
【選任した代理人】
【識別番号】 100107076
【弁理士】
【氏名又は名称】 藤綱 英吉
【選任した代理人】
【識別番号】 100107261
【弁理士】
【氏名又は名称】 須澤 修
【手数料の表示】
【予納台帳番号】 013044
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1

【物件名】 図面 1
3

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法及び半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板上に、一の方向に延びる下部電極層と、他の方向に延びる上部電極層とが強誘電体層及び上部電極補助層を介して積層され、前記下部電極層と前記上部電極層との交差部に強誘電体キャパシタが形成されてなる半導体装置の製造方法において、

前記下部電極層又は前記上部電極補助層の形状加工に用いるマスクを利用して、前記上部電極層を形成する前に、強誘電体キャパシタの形成領域を決定することを特徴とする半導体装置の製造方法。

【請求項 2】 前記強誘電体キャパシタの形成領域を、前記一の方向の寸法が前記上部電極層の幅よりも大きくなるように形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記強誘電体キャパシタの形成領域を、前記他の方向の寸法が前記下部電極層の幅よりも大きくなるように形成することを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】 半導体基板上に、一の方向に延びる下部電極層と、他の方向に延びる上部電極層とが強誘電体層及び上部電極補助層を介して積層され、前記下部電極層と前記上部電極層との交差部に強誘電体キャパシタが形成されてなる半導体装置の製造方法において、

前記半導体基板上に、下部電極層形成用膜、強誘電体層形成用膜、及び上部電極補助層形成用膜をこの順で形成する工程と、

前記上部電極補助層形成用膜上に、上部電極補助層形成用マスクを形成する工程と、

前記上部電極補助層形成用マスクを利用して、強誘電体キャパシタ形成領域に前記上部電極補助層を形成する工程と、

前記上部電極補助層形成用マスクを残した状態で、前記強誘電体層形成用膜上に、下部電極層形成用マスクを形成する工程と、

前記上部電極補助層形成用マスク及び前記下部電極層形成用マスクを利用して

、前記強誘電体キャパシタ形成領域及び該強誘電体キャパシタ形成領域を含むよう前記一の方向に延びる下部電極層形成領域に、前記強誘電体層及び前記下部電極層を形成する工程と、

前記上部電極補助層形成用マスク及び前記下部電極層形成用マスクが除去された後の前記半導体基板の上面全体に、絶縁層を形成する工程と、

前記絶縁層の上面に、前記上部電極補助層の前記強誘電体キャパシタ形成領域となる上面を露出させる工程と、

前記上部電極補助層の上面を露出させた後の前記絶縁層上に、前記強誘電体キャパシタ形成領域を含むように、前記他の方向に延びる前記上部電極層を形成する工程と、

を備えることを特徴とする半導体装置の製造方法。

【請求項 5】 前記上部電極補助層形成用マスクを、前記下部電極層形成用マスクよりもエッティング耐性を有する材料で形成することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項 6】 前記下部電極層形成用マスクを、前記上部電極補助層形成用マスクよりもエッティング耐性を有する材料で形成することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項 7】 前記上部電極補助層形成用マスクを利用して、前記上部補助電極層を、前記上部電極層及び前記下部電極層の交差部形成予定面積よりも大きな寸法で形成することを特徴とする請求項4乃至6のいずれか一項に記載の半導体装置の製造方法。

【請求項 8】 半導体基板上に、一の方向に延びる下部電極層と、他の方向に延びる上部電極層とが強誘電体層及び上部電極補助層を介して積層され、前記下部電極層と前記上部電極層との交差部に強誘電体キャパシタが形成されてなる半導体装置において、

前記強誘電体キャパシタの形成領域は、前記下部電極層と前記上部電極層との前記交差部の面積よりも大きな寸法であることを特徴とする半導体装置。

【請求項 9】 前記強誘電体キャパシタの形成領域は、前記一の方向の寸法が前記上部電極層の幅よりも大きな寸法であることを特徴とする請求項8に記載

の半導体装置。

【請求項 10】 前記強誘電体キャパシタの形成領域は、前記他の方向の寸法が前記下部電極層の幅よりも大きな寸法であることを特徴とする請求項 8 又は 9 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、複数の強誘電体キャパシタを備えた半導体装置の製造方法及び半導体装置に関し、特に、複数の強誘電体キャパシタを均一な寸法で形成するために有効な技術に関するものである。

【0002】

【従来の技術】

近年、半導体装置の高集積化及び微細化が進むにつれ、強誘電体キャパシタを備えた半導体装置として、行列状に配列された上部電極層及び下部電極層が強誘電体層を介して積層され、上部電極層と下部電極層との各交差部に、複数の強誘電体キャパシタが形成されたクロスポイント型 F e R A Mが注目されている（例えば、特許文献 1 参照）。

【0003】

クロスポイント型 F e R A Mの一般的な製造方法として、図 5 を参照して説明する。図 5 は、従来の半導体装置の一製造工程を示す断面図である。

まず、図示しないが、M O S トランジスタなどが形成された半導体基板上に形成された層間絶縁層の上面に、公知のスパッタ法を用いて、下部電極層形成用膜（図示せず）、強誘電体層形成用膜（図示せず）、及び上部電極補助層形成用膜 2 0 0 c をこの順で成膜しておく。そして、図 5 (a) に示すように、上部電極補助層形成用膜 2 0 0 c のさらに上面に、列方向（図 5 における左右方向）に下部電極層を形成するためのパターンが形成された下部電極層形成用マスク M 1 0 0 を形成する。

【0004】

次に、図 5 (b) に示すように、公知のフォトリソグラフィ技術及びエッチング

グ技術を用いて、下部電極層形成領域以外の上部電極補助層形成用膜 200c、強誘電体層形成用膜（図示せず）、下部電極層形成用膜（図示せず）を一括して除去し、層間絶縁層 100 上の下部電極層形成領域のみに、下部電極層（図示せず）、強誘電体層（図示せず）、及び上部電極補助層 200C からなるキャパシタ形成用積層体を複数配列する。

【0005】

次に、図 5 (c) に示すように、下部電極層形成領域にキャパシタ形成用積層体が形成された層間絶縁層の上面全体に、公知の CVD (Chemical Vapour Deposition) 法を用いて絶縁層 300 を形成する。

そして、この絶縁層 300 の上面全体に、公知のエッチバック或いは CMP (Chemical Mechanical Policing) 法などを用いて平坦化処理を施した後、絶縁層 300 の上面から強誘電体キャパシタ C の形成領域となる上部電極補助層 200C の上面に至るビアホール V100 を形成する。

【0006】

次に、図 5 (d) に示すように、ビアホール V100 が形成された絶縁層 300 の上面全体に、公知のスパッタ法を用いて上部電極層形成用膜（図示せず）を形成した後、公知のフォトリソグラフィ技術及びエッチング技術を用いて、上部電極層 200D を、強誘電体キャパシタ C の形成領域を含む上部電極形成領域に行方向（図 5 における上下方向）に複数形成する。このとき、上部電極形成用膜の形状加工を行うエッチングによって、キャパシタ形成用積層体のうち、強誘電体キャパシタ C の形成領域以外の上部電極補助層 200C は除去し、下部電極層 200A 上の強誘電体層 200B を露出させるようとする。

【0007】

このようにして、行列状に形成された上部電極層 200D 及び下部電極層 200A は強誘電体層 200B 及び上部電極補助層 200C を介して積層され、上部電極層 200D と下部電極層 200A との各交差部に、複数の強誘電体キャパシタ C を形成することができる。

【0008】

【特許文献 1】

特開平9-116107号公報

【0009】

【発明が解決しようとする課題】

ところで、上述したクロスポイント型F e R A Mの製造方法においては、上部電極補助層形成用膜200c、強誘電体層形成用膜、及び下部電極層形成用膜を一括してエッチングしているため、三層の合わせズレが発生しないという利点を有する。しかしながら、異なる材料が積層された三層を一括してエッチングするため、加工精度が良好ではなく、同一半導体基板上に形成される複数の強誘電体キャパシタを同一寸法で形成することが困難であるとともに、エッチング工程に要する作業効率が良好ではないという問題があった。

【0010】

また、強誘電体キャパシタCは、行列状に形成される下部電極層200A及び上部電極層200Dの交差部にセルフアラインによって形成されるため、強誘電体キャパシタCの寸法は、下部電極層200A及び上部電極層200Dの線幅を調整することで決定されている。つまり、強誘電体キャパシタCの寸法を大きくしたい場合には、下部電極層200A及び上部電極層200Dの線幅を大きく形成する必要があるため、下部電極層200A及び上部電極層200Dが格子状に形成されるキャパシタレイ領域自体が大きくなり、装置全体の面積が増大してしまうという問題があった。

【0011】

本発明は、上記事情に鑑みてなされたものであり、クロスポイント型F e R A Mの製品性能及び作業効率を向上させるとともに、下部電極層及び上部電極層の線幅寸法を変えることなく、強誘電体キャパシタの寸法制御を実現できる半導体装置の製造方法及び半導体装置を提供することを課題としている。

【0012】

【課題を解決するための手段】

このような課題を解決するために、本発明に係る第一の半導体装置の製造方法は、半導体基板上に、一の方向に延びる下部電極層と、他の方向に延びる上部電極層とが強誘電体層及び上部電極補助層を介して積層され、前記下部電極層と前

記上部電極層との交差部に強誘電体キャパシタが形成されてなる半導体装置の製造方法において、前記下部電極層又は前記上部電極補助層の形状加工に用いるマスクを利用して、前記上部電極層を形成する前に、強誘電体キャパシタの形成領域を決定することを特徴とするものである。

【0013】

また、本発明に係る第一の半導体装置の製造方法において、前記強誘電体キャパシタの形成領域を、前記一の方向の寸法が前記上部電極層の幅よりも大きくなるように形成することを特徴とするものである。

さらに、本発明に係る第一の半導体装置の製造方法において、前記強誘電体キャパシタの形成領域を、前記他の方向の寸法が前記下部電極層の幅よりも大きくなるように形成することを特徴とするものである。

【0014】

本発明に係る第二の半導体装置の製造方法は、半導体基板上に、一の方向に延びる下部電極層と、他の方向に延びる上部電極層とが強誘電体層及び上部電極補助層を介して積層され、前記下部電極層と前記上部電極層との交差部に強誘電体キャパシタが形成されてなる半導体装置の製造方法において、前記半導体基板上に、下部電極層形成用膜、強誘電体層形成用膜、及び上部電極補助層形成用膜をこの順で形成する工程と、前記上部電極補助層形成用膜上に、上部電極補助層形成用マスクを形成する工程と、前記上部電極補助層形成用マスクを利用して、強誘電体キャパシタ形成領域に前記上部電極補助層を形成する工程と、前記上部電極補助層形成用マスクを残した状態で、前記強誘電体層形成用膜上に、下部電極層形成用マスクを形成する工程と、前記上部電極補助層形成用マスク及び前記下部電極層形成用マスクを利用して、前記強誘電体キャパシタ形成領域及び該強誘電体キャパシタ形成領域を含むように前記一の方向に延びる下部電極層形成領域に、前記強誘電体層及び前記下部電極層を形成する工程と、前記上部電極補助層形成用マスク及び前記下部電極層形成用マスクが除去された後の前記半導体基板の上面全体に、絶縁層を形成する工程と、前記絶縁層の上面に、前記上部電極補助層の前記強誘電体キャパシタ形成領域となる上面を露出させる工程と、前記上部電極補助層の上面を露出させた後の前記絶縁層上に、前記強誘電体キャパシタ

形成領域を含むように前記他の方向に延びる前記上部電極層を形成する工程と、を備えることを特徴とするものである。

【0015】

また、本発明に係る第二の半導体装置の製造方法において、前記上部電極補助層形成用マスクを、前記下部電極層形成用マスクよりもエッチング耐性を有する材料で形成することを特徴とするものである。

さらに、本発明に係る第二の半導体装置の製造方法において、前記下部電極層形成用マスクを、前記上部電極補助層形成用マスクよりもエッティング耐性を有する材料で形成することを特徴とするものである。

【0016】

さらに、本発明に係る第二の半導体装置の製造方法において、前記上部電極補助層形成用マスクを利用して、前記上部電極補助層を、前記上部電極層及び前記下部電極層の交差部形成予定面積よりも大きな寸法で形成することを特徴とするものである。

本発明に係る半導体装置は、半導体基板上に、一の方向に延びる下部電極層と、他の方向に延びる上部電極層とが強誘電体層及び上部電極補助層を介して積層され、前記下部電極層と前記上部電極層との交差部に強誘電体キャパシタが形成されてなる半導体装置において、前記強誘電体キャパシタの形成領域は、前記下部電極層と前記上部電極層との前記交差部の面積よりも大きな寸法であることを特徴とするものである。

【0017】

また、本発明に係る半導体装置において、前記強誘電体キャパシタの形成領域は、前記一の方向の寸法が前記上部電極層の幅よりも大きな寸法であることを特徴とするものである。

さらに、本発明に係る半導体装置において、前記強誘電体キャパシタの形成領域は、前記他の方向の寸法が前記下部電極層の幅よりも大きな寸法であることを特徴とするものである。

【0018】

このように、本発明に係る半導体装置の製造方法によれば、下部電極層又は上

部電極補助層の形状加工に用いるマスクを利用して、上部電極層を形成する前に、強誘電体キャパシタの形成領域を決定するようにしたことによって、強誘電体キャパシタの寸法を、上部電極層と下部電極層との交差部面積以外の寸法で形成することができるため、上部電極層及び下部電極層の線幅を変更することなく、強誘電体キャパシタの寸法を調整することが可能となる。

【0019】

ここで、上部電極補助層形成用マスクを、下部電極層形成用マスクよりもエッティング耐性を有する材料で形成することによって、下部電極層の形状加工工程においても上部電極補助層形成用マスクは除去されないため、強誘電体キャパシタの形成領域は、上部電極補助層形成用マスクと同一寸法で形成できる。

また、下部電極層形成用マスクを、上部電極補助層形成用マスクよりもエッティング耐性を有する材料で形成することによって、下部電極層の形状加工工程において下部電極層形成用マスクからはみだした上部電極補助層形成用マスクは除去されるため、強誘電体キャパシタの一の方向（下部電極層の延びる方向）の寸法は、上部電極補助層形成用マスクの寸法に合わせて形成され、且つ、強誘電体キャパシタの他の方向（上部電極層の延びる方向）の寸法は、下部電極層形成用マスクの寸法に合わせて形成される。

【0020】

すなわち、強誘電体キャパシタの形成領域を、上部電極層及び下部電極層の交差部面積よりも大きくなるように形成したことによって、キャパシタアレイ領域の面積を増大させることなく、強誘電体キャパシタの寸法のみを大きく形成できるため、強誘電体キャパシタの優れた製品性能及び装置の小型化を実現することが可能となる。

【0021】

また、エッティング耐性の異なる上部電極補助層形成用マスク又は下部電極層形成用マスクを利用して、強誘電体キャパシタの形成領域を決定するようにしたことによって、従来のように上部電極補助層、強誘電体層、及び下部電極層の三層を一括して形状加工するのではなく、一層ずつ形状加工するようにしても、各層間での合わせズレを抑制することができる。

【0022】

すなわち、強誘電体キャパシタを構成する各層間での合わせズレを生じることなく、強誘電体キャパシタの加工精度を向上させることができるために、安定した製品性能を有する強誘電体キャパシタの微細化を実現するとともに、エッティング工程に要する作業効率を良好にすることが可能となる。

さらに、強誘電体キャパシタの加工精度を向上させることによって、同一半導体基板上に形成される複数の強誘電体キャパシタを、同一寸法で形成することができるため、半導体装置の製品性能を向上させることが可能となる。

【0023】

本発明の半導体装置によれば、強誘電体キャパシタの形成領域が、下部電極層及び前記上部電極層の交差部面積よりも大きな寸法としたことによって、交差部のみに強誘電体キャパシタが形成されていた従来の構成と比較して、強誘電体キャパシタの製品性能を向上させることが可能となる。

【0024】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。なお、本実施形態は、本発明の一例を示すものであって、本発明は本実施形態に限定されるものではない。

＜第一実施形態＞

図1は、本発明の半導体装置の一構成例を示し、(a)は平面図、(b)は図1(a)に示す半導体装置の1A-1A線に沿った断面図、(c)は図1(a)に示す半導体装置の1B-1B線に沿った断面図である。

【0025】

本実施形態における半導体装置100Aは、図1(a)に示すように、半導体基板(図示せず)上に、行方向(図1(a)に示す左右方向)に複数配列された下部電極層2Aと、列方向(図1(a)に示す上下方向)に形成された上部電極層2Dとの各交差部に複数の強誘電体キャパシタCを備えたクロスポイント型F_eRAMを構成している。

【0026】

強誘電体キャパシタCは、図1（b）及び図1（c）に示すように、半導体基板上に形成された層間絶縁層1の上面に順次積層された、下部電極層2Aと、強誘電体層2Bと、上部電極補助層2Cと、上部電極層2Dと、から構成されている。そして、図1（a）に示すように、強誘電体キャパシタCを構成する下部電極層2A、強誘電体層2B、及び上部電極補助層2Cからなる積層体は、行方向の寸法W1が上部電極層2Dの幅寸法W2よりも大きく、且つ、列方向の寸法W3が下部電極層2Aの幅寸法W4よりも大きく形成されている。

【0027】

また、図1（b）に示すように、行方向に配列された下部電極層2Aのうち、強誘電体キャパシタCの形成領域以外の上面には、強誘電体層2Bを介して絶縁層3が形成されている。ここで、強誘電体キャパシタCの形成領域以外の強誘電体層2Bは完全に除去し、下部電極層2Aの上面に直接絶縁層3が形成されてもよい。

【0028】

一方、図1（c）に示すように、列方向に配列された上部電極層2Dのうち、強誘電体キャパシタCの形成領域以外の下面には、層間絶縁層1上に絶縁層3が形成されている。そして、上部電極補助層2Cと上部電極層2Dとは、強誘電体キャパシタCの形成領域のみでビアホールV1を介して接続されている。

次に、本実施形態における半導体装置100Aの製造方法について説明する。

【0029】

図2は、本発明における半導体装置の一製造工程を示す平面図である。

本実施形態における半導体装置100Aの製造方法は、まず、予めMOSトランジスタが形成された半導体基板の上面全体に、公知のCVD法を用いて、シリコン酸化膜などからなる層間絶縁層1を厚さ1500nmとなるように形成しておく。

【0030】

次いで、図2（a）に示すように、層間絶縁層1の上面全体に、公知のスパッタ法などを用いて、Ptなどからなる下部電極層形成用膜（図示せず）、SBT（SrBi₂Ta₂O₉）やPZT（Pb（Zr_XTi_{1-X}）O₃）などからな

る強誘電体層形成用膜（ここでは図示せず）と、Ptなどからなる上部電極補助層形成用膜20Cとを各200nmの厚みとなるようにこの順で成膜する。

【0031】

続いて、この上部電極補助層20Cの上面全体に、公知のスパッタ法などを用いて、TiN膜やW膜などのハードマスク材からなる上部電極補助層形成用マスクM1を形成するための膜（図示せず）を厚さ100nmとなるように成膜する。そして、公知のフォトリソグラフィ技術及びエッチング技術を用いて、上部電極補助層形成用膜20C上の強誘電体キャパシタCの形成領域に、上部電極補助層形成用マスクM1を形成する。ここで、上部電極補助層形成用マスクM1は、強誘電体キャパシタCの形成領域を、上部電極層と下部電極層との交差部形成予定領域よりも大きな寸法で形成可能な形状を有しており、この上部電極補助層形成用マスクM1の形状によって、強誘電体キャパシタCの形成領域寸法が決定される。

【0032】

次いで、図2（b）に示すように、上部電極補助層形成用マスクM1を利用して、上部電極補助層形成用膜20Cが除去可能な条件で公知のエッチングを行い、強誘電体キャパシタCの形成領域以外の上部電極補助層2Cを除去する。ここで、強誘電体キャパシタCの形成領域以外の層間絶縁層1上には、強誘電体層形成用膜20Bが露出し、上部電極補助層形成用マスクM1直下の強誘電体キャパシタCの形成領域には、上部電極補助層2Cが形成される。ここで、強誘電体キャパシタCの形成領域以外の強誘電体層形成用膜20Bは完全に除去し、強誘電体キャパシタCの形成領域以外の層間絶縁層1上には、下部電極層2Aが露出するようにしてもよい。

【0033】

次いで、図2（c）に示すように、上部電極補助層形成用マスクM1が形成された層間絶縁層1の上面全体に、公知のスピニ塗布法などを用いて、ノボラック系樹脂などのレジストマスク材からなる下部電極層形成用マスクM2を形成するための膜（図示せず）を形成する。

そして、公知のフォトリソグラフィ技術及びエッチング技術を用いて、強誘電

体キャパシタCの形成領域に形成された上部電極補助層形成用マスクM1の上面を含むように、行方向に延びる下部電極層形成領域に、下部電極層形成用マスクM2を形成する。

【0034】

次いで、図2(d)に示すように、上部電極補助層形成用マスクM1及び下部電極層形成用マスクM2を利用して、強誘電体層形成用膜20B及び下部電極層用膜(図示せず)を除去可能な条件で公知のエッチングを行い、下部電極層形成用マスクM2で覆われた下部電極層2Aの形成領域には、層間絶縁層1上に、下部電極層及び強誘電体層2Bの積層体を複数行形成する。また、下部電極層を形成するためのエッチング工程でもハードマスク材からなる上部電極補助層形成用マスクM1は除去されず、このマスクM1で覆われた強誘電体キャパシタCの形成領域には、層間絶縁層1上に、下部電極層、強誘電体層2B、及び上部電極補助層2Cの積層体が形成される。そして、強誘電体キャパシタCの形成領域及び下部電極層2Aの形成領域以外では、強誘電体層形成用膜20B及び下部電極層形成用膜が除去され、層間絶縁層1が露出した状態となる。その後、公知の技術を用いて、上部電極補助層形成用マスクM1及び下部電極形成用マスクM2を除去する。

【0035】

次いで、図2(e)に示すように、下部電極層の形成領域に強誘電体層2Bが露出し、強誘電体キャパシタCの形成領域に上部電極補助層2Cが露出している層間絶縁層1の上面全体に、公知のCVD法などを用いて、シリコン酸化膜などからなる絶縁層3を形成する。

そして、絶縁層3の上面全体に、公知のCMP(Chemical Mechanical Anical Policing)法で平坦化処理を行った後、公知のフォトリソグラフィ技術及びエッチング技術を用いて、絶縁層3の上面から上部電極補助層2Cの上面に至るビアホールV1を形成する。

【0036】

続いて、ビアホールV1が形成された絶縁層3の上面全体に、公知のスパッタ法を用いて、Ptからなる上部電極層形成用膜(図示せず)を形成する。そして

、公知のフォトリソグラフィ技術及びエッチングを用いて、図1に示すように、強誘電体キャパシタCの形成領域を含むように、列方向に延びる上部電極層2Dを複数列形成する。

【0037】

ここで、上部電極層2Dと下部電極層2Aとが格子状に配列され、この各交差部に、この交差部の寸法よりも大きな強誘電体キャパシタCが配置されたクロスポイント型FeRAMを完成させる。

このように、第一実施形態における半導体装置100Aの製造方法によれば、上部電極補助層形成用マスクM1を、下部電極層形成用マスクM2よりもエッチング耐性を有するハードマスク材から構成し、このマスクM1を利用して、強誘電体キャパシタCの形成領域を決定するようにしたことによって、強誘電体キャパシタCの寸法を、上部電極補助層形成用マスクM1の寸法（つまり、上部電極層2Dと下部電極層2Aとの交差部面積以外の寸法）で形成することができる。よって、上部電極層2D及び下部電極層2Aの線幅寸法を変更することなく、強誘電体キャパシタCの寸法を調整することが可能となる。

【0038】

また、第一実施形態における半導体装置100Aの製造方法によれば、上部電極補助層形成用マスクM1を、行方向の寸法が上部電極層2Dの幅W2よりも大きく、且つ、列方向の寸法が下部電極層2Aの幅W4よりも大きくなるように形成したことによって、強誘電体キャパシタCの形成領域を、上部電極層2D及び下部電極層2Aの交差部面積よりも大きく形成することができる。よって、装置全体の大きさを増大させることなく、強誘電体キャパシタCの製品性能を向上させることが可能となる。

【0039】

また、ハードマスク材から構成した上部電極補助層形成用マスクM1を利用して、強誘電体キャパシタCの形成領域を決定するようにしたことによって、従来のように上部電極補助層2C、強誘電体層2B、及び下部電極層2Aの三層を一括して形状加工するのではなく、一層ずつ形状加工するようにしても、各層間での合わせズレを抑制することができる。

【0040】

よって、強誘電体キャパシタCの各層間での合わせズレを生じることなく、強誘電体キャパシタCの加工精度を向上させることができるために、安定した製品性能を有する強誘電体キャパシタCの微細化を実現するとともに、エッティング工程に要する作業効率を良好にすることが可能となる。

さらに、強誘電体キャパシタCの加工精度が向上することで、同一半導体基板上に形成される複数の強誘電体キャパシタCを、同一寸法で形成することができるため、半導体装置100Aの製品性能を向上させることが可能となる。

<第二実施形態>

図3は、本発明の半導体装置の他の構成例を示し、(a)は平面図、(b)は図3(a)に示す半導体装置の3A-3A線に沿った断面図、(c)は図3(a)に示す半導体装置の3B-3B線に沿った断面図である。

【0041】

本実施形態における半導体装置100Bは、第一実施形態で示した半導体装置100Aにおいて、強誘電体キャパシタCを構成する下部電極層2A、強誘電体層2B、及び上部電極補助層2Cからなる積層体は、行方向(図3における左右方向)の寸法W1が上部電極層2Dの幅寸法W2よりも大きく、且つ、列方向(図3における上下方向)の寸法W3は下部電極層2Aの幅寸法W4と同一寸法で形成されている。

【0042】

次に、本実施形態における半導体装置100Bの製造方法について説明する。

図4は、本発明の半導体装置の他の製造工程を示す平面図である。

本実施形態における半導体装置100Bは、図4(a)～(c)に示すように、第一実施形態で示した半導体装置100Aの製造方法と同一工程を経て、上部電極補助層2Cに用いた後の上部電極補助層形成用マスクM3上に、さらに下部電極層形成用マスクM4を形成する。このとき、第一実施形態で説明した半導体装置100Aの製造方法と異なる点は、上部電極補助層形成用マスクM3を、SOG(Spin On Glass, 塗布ガラス)材で形成し、下部電極層形成用マスクをハードマスク材で形成したことである。

【0043】

このため、図4（d）に示すように、上部電極補助層形成用マスクM3上に、下部電極形成用マスクM4が形成された状態で、強誘電体層形成用膜20B及び下部電極層形成用膜（図示せず）を除去可能な条件で公知のエッチングを行うと、エッティング耐性の小さな上部電極補助層形成用マスクM3はとともに除去され、エッティング耐性の大きな下部電極層形成用マスクM4は除去されない。このため、下部電極層形成用マスクM4で覆われた下部電極層2Aの形成領域には、層間絶縁層1上に、下部電極層2A及び強誘電体層2Bの積層体が複数行形成され、上部電極補助層形成用マスクM3で覆われた強誘電体キャパシタCの形成領域には、下部電極層形成用マスクM4が上面に形成された部分の層間絶縁層1上に、下部電極層（図示せず）、強誘電体層2B、及び上部電極補助層2Cからなる積層体が形成され、この段階で強誘電体キャパシタCの形成領域寸法が決定される。すなわち、ハードマスク材からなる下部電極層形成用マスクM4及びSOG材からなる上部電極補助層形成用マスクM3を用いてエッティングを行うことで、上部電極補助層形成用マスクM3を用いて形成された強誘電体キャパシタCの形成領域が一部除去され、その列方向の寸法W3は下部電極層2Aの幅寸法W4と同一となる。その後、公知の技術を用いて、下部電極層形成用マスクM4及び上部電極補助層形成用マスクM3を除去する。

【0044】

次いで、図4（e）に示すように、第一実施形態で示した半導体装置100Aの製造方法と同一工程を経て、層間絶縁層10の上面全体に絶縁層3を形成した後、ビアホールV2を形成する。

続いて、第一の実施形態で示した半導体装置100Aの製造方法と同一工程を経て、図3（b）、（c）に示すように、強誘電体キャパシタCの形成領域を含むように行方向に延びる上部電極層2Dの形成領域に、上部電極層2Dを複数列形成する。

【0045】

このように、第二実施形態における半導体装置100Bの製造方法によれば、下部電極層形成用マスクM4を、上部電極補助層形成用マスクM3よりもエッチ

ング耐性を有するハードマスク材から構成し、このマスクM4を利用して、上部電極層2Dを形成する前に、強誘電体キャパシタCの形成領域を決定することによって、強誘電体キャパシタCの行方向の寸法W1を、上部電極補助層形成用マスクM4と同一寸法で形成し、且つ、強誘電体キャパシタCの列方向の寸法W4を、下部電極層形成用マスクM4と同一寸法で形成することができる。よって、上部電極層2D及び下部電極層2Aの線幅寸法を変更することなく、強誘電体キャパシタCの寸法を調整することが可能となる。

【0046】

また、第二実施形態における半導体装置100Bの製造方法によれば、上部電極補助層形成用マスクM3の行方向の寸法を、上部電極層2Dの幅W2よりも大きくしたことによって、強誘電体キャパシタCの寸法を上部電極層2D及び下部電極層2Aの交差部面積よりも大きく形成することができる。よって、第一実施形態で示した効果と同様に、装置全体の大きさを増大させることなく、強誘電体キャパシタCの製品性能を向上させることが可能となる。

【0047】

また、ハードマスク材から構成した下部電極層形成用マスクM4を利用して、強誘電体キャパシタCの形成領域を決定することによって、第一の実施形態で示した効果と同様に、強誘電体キャパシタCの各層間での合わせズレを生じることなく、強誘電体キャパシタCの加工精度を向上させることができるために、安定した製品性能を有する強誘電体キャパシタCの微細化を実現するとともに、エッチング工程に要する作業効率を良好にすることが可能となる。

【0048】

なお、第一及び第二実施形態においては、絶縁層3の上面に、上部電極補助層2Cの上面を露出させる手段として、絶縁層3の上面から上部電極補助層2Cに至るビアホールV1、V2を形成するようにしたが、これに限らず、絶縁層3の平坦化処理を行った後、全面エッチバックによって上部電極補助層2Cの上面を露出させるようにしても構わない。

【0049】

また、第一及び第二実施形態においては、強誘電体キャパシタCにMOSトラ

ンジスタが接続される場合について説明したが、強誘電体キャパシタCに接続可能な半導体素子であればこれに限らず適宜変更することができる。具体的には、MONOS (Metal-Oxide-Nitride-Oxide-Semiconductor) トランジスタなどその他のMIS (Metal Insulator Semiconductor) 型トランジスタなどが挙げられる。

【図面の簡単な説明】

【図1】 本実施形態における半導体装置の一構成例を示し、(a)は平面図、(b)は図1(a)に示す1A-1A線に沿った断面図、(c)は図1(a)に示す半導体装置の1B-1B線に沿った断面図である。

【図2】 本実施形態における半導体装置の一製造工程を示す断面図である。

【図3】 本実施形態における半導体装置の他の構成例を示し、(a)は平面図、(b)は図1(a)に示す3A-3A線に沿った断面図、(c)は図1(a)に示す半導体装置の3B-3B線に沿った断面図である。

【図4】 本実施形態における半導体装置の他の製造工程を示す平面図である。

。

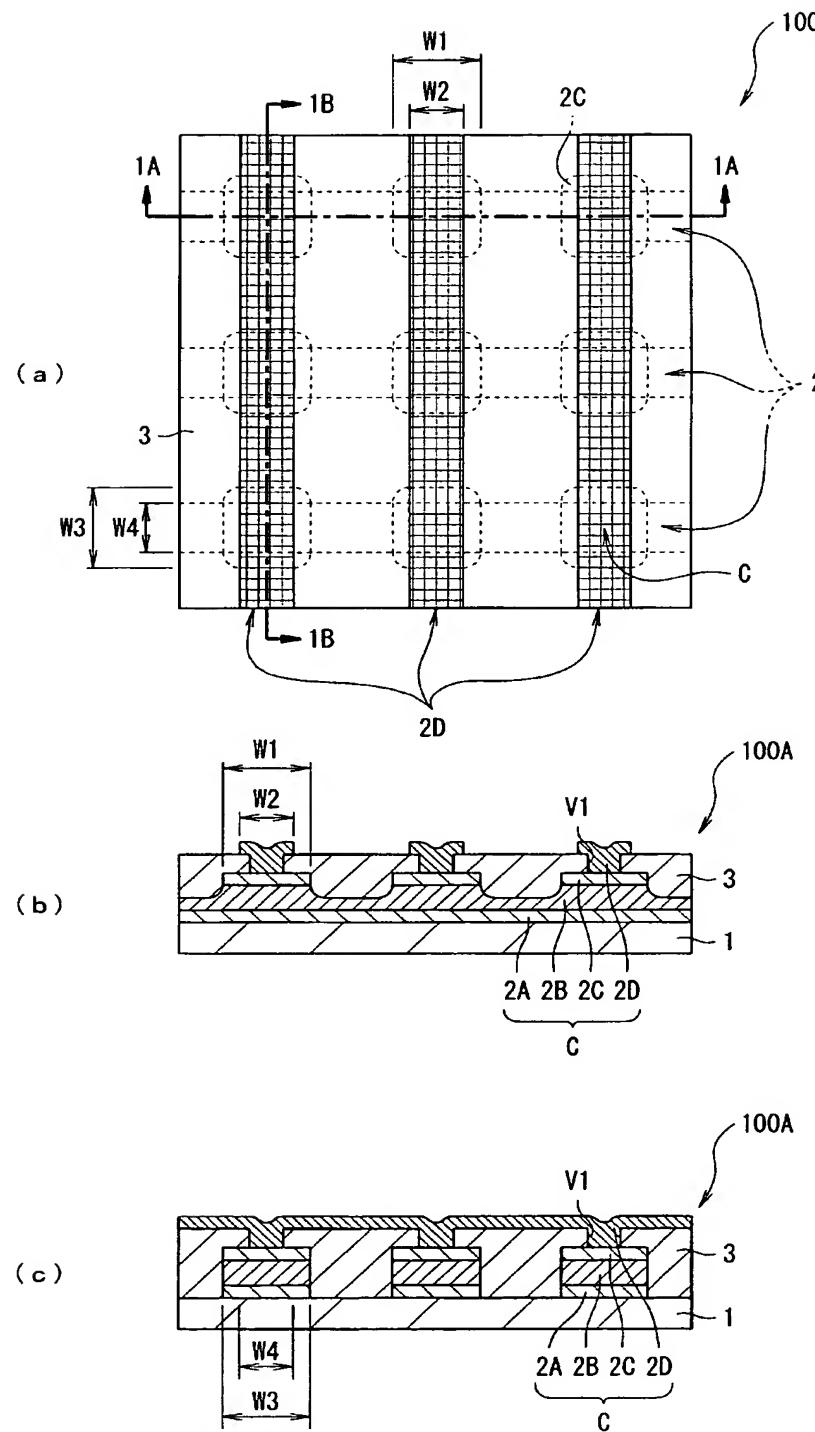
【図5】 従来の半導体装置の一製造工程を示す平面図である。

【符号の説明】 1、100…層間絶縁層。2A、200A…下部電極層。2B、200B…強誘電体層。20B…強誘電体層形成用膜。2C…、200C…上部電極補助層。20C、200c…上部電極補助層形成用膜。2D、200D…上部電極層。3、300…絶縁層。C…強誘電体キャパシタ。M1、M3、M100…上部電極補助層形成用マスク。M2、M4…下部電極層形成用マスク。V1、V2、V100…ビアホール。

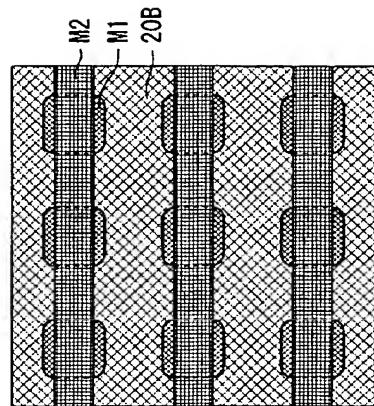
【書類名】

図面

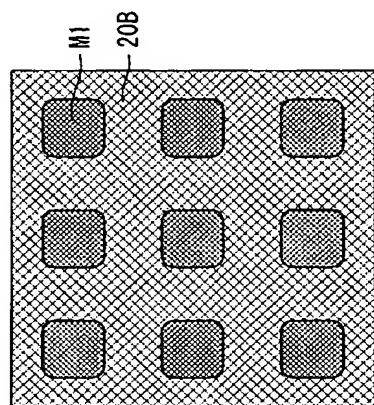
【図1】



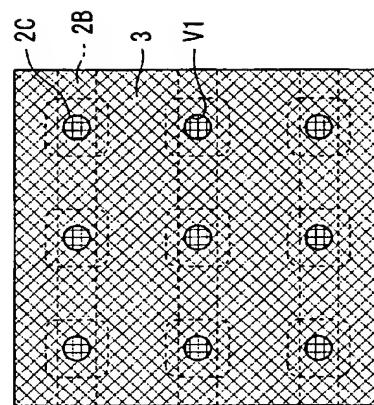
【図2】



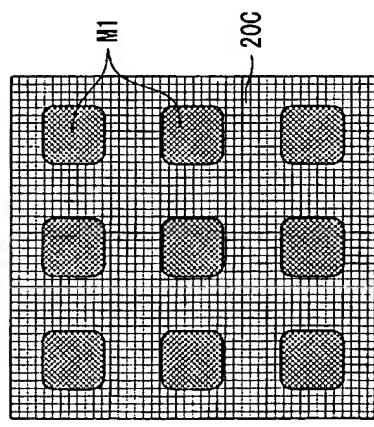
(c)



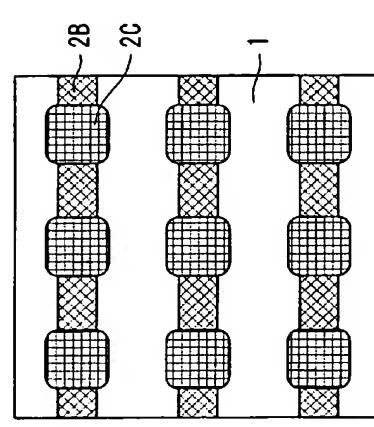
(b)



(e)

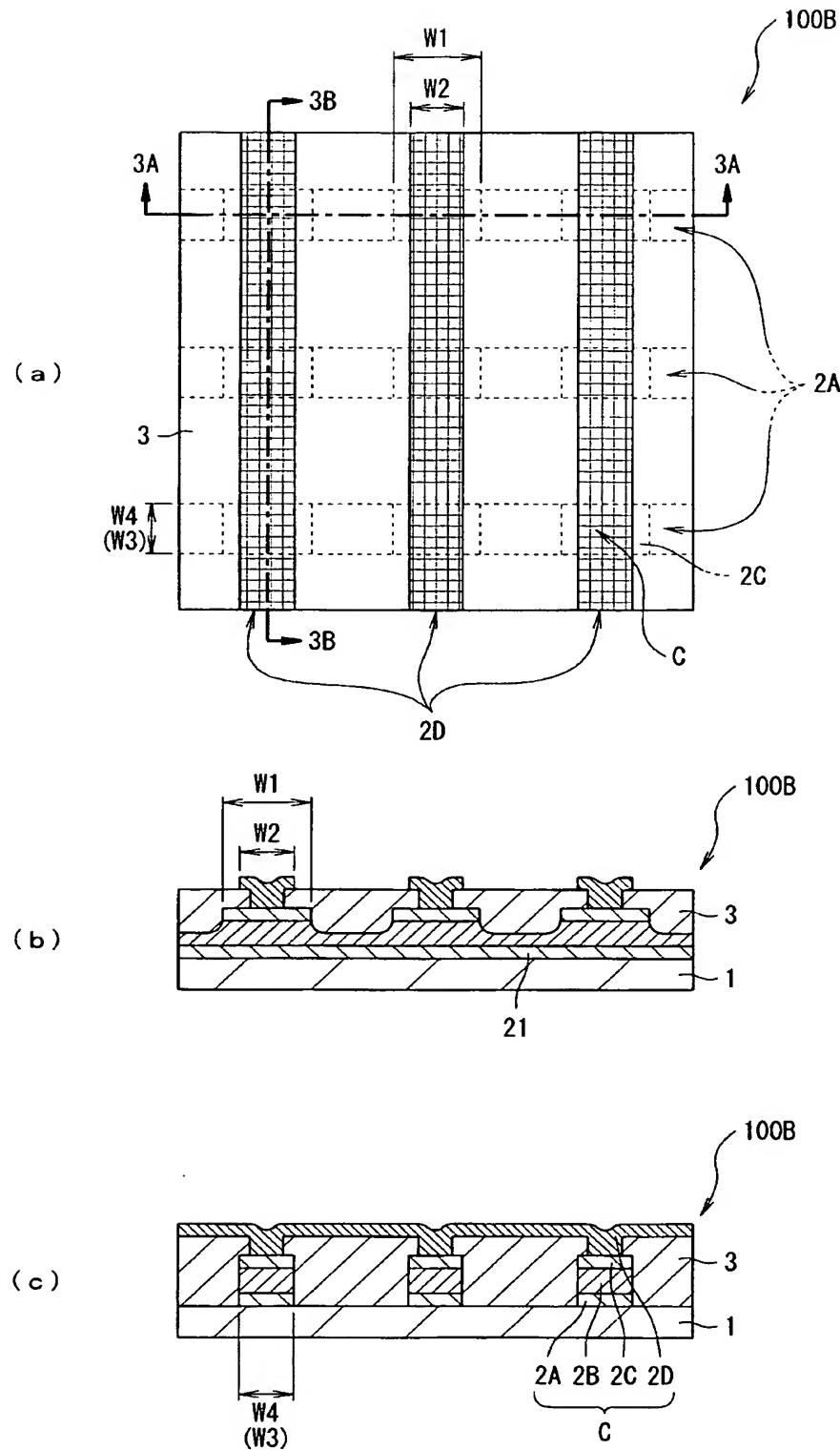


(a)

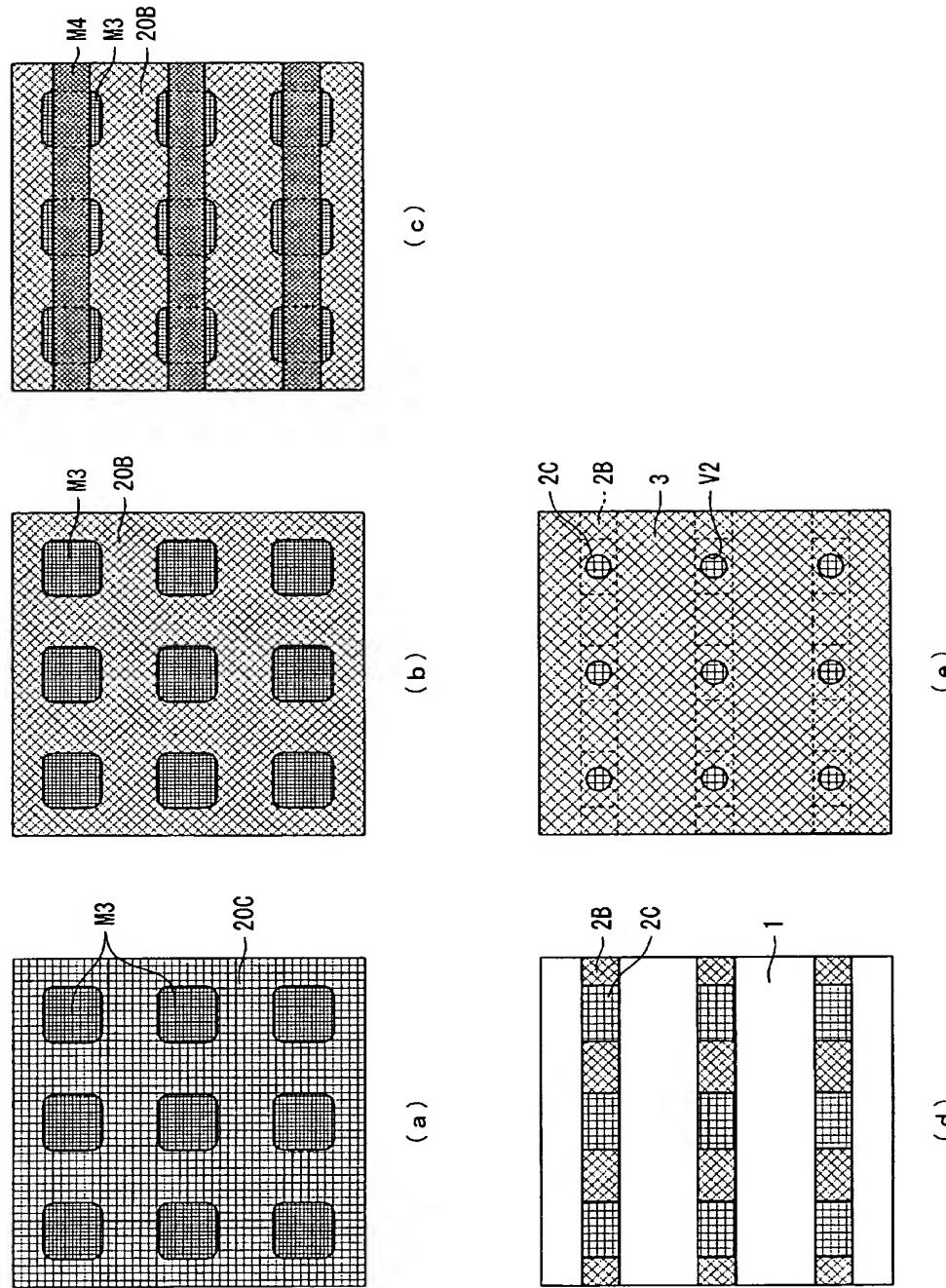


(d)

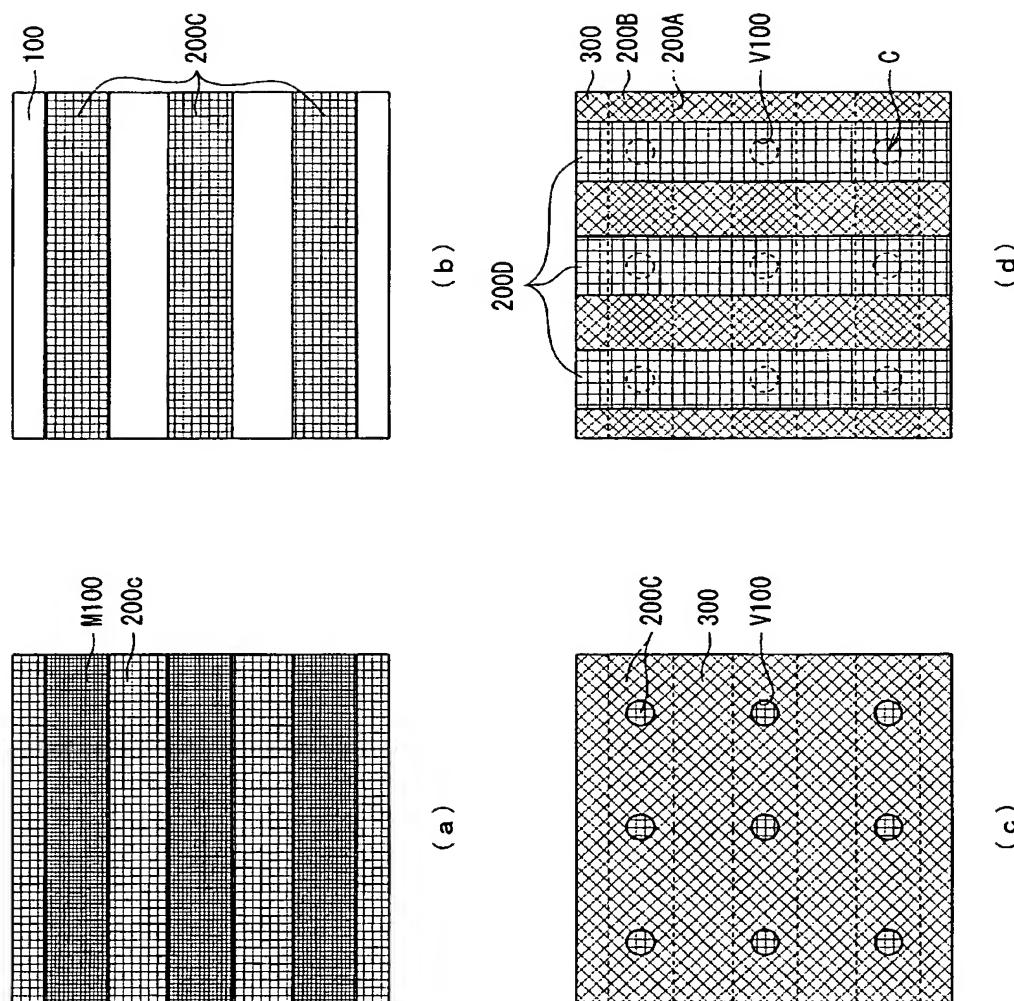
【図3】



【図 4】



【図5】



【書類名】 要約書

【要約】

【課題】 クロスポイント型F e R A Mのキャパシタ面積を増大できるとともに、製品性能及び作業効率を向上できる半導体装置の製造方法及び半導体装置を提供する。

【解決手段】 上部電極補助層2Cの形状加工に用いる上部電極補助層形成用マスクM1をハードマスク材から形成し、この上部電極補助層形成用マスクM1を下部電極層2Aの形状加工時にも残しておき、このマスクM1を利用して、上部電極層2Dを形成する前の段階で、上部電極層2D及び下部電極層2Aの交差部面積よりも大きな強誘電体キャパシタCの形成領域を形成する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2003-155870
受付番号	50300910626
書類名	特許願
担当官	第五担当上席 0094
作成日	平成15年 6月 2日

<認定情報・付加情報>

【提出日】	平成15年 5月30日
-------	-------------

次頁無

特願 2003-155870

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社